

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-099358

(43)Date of publication of application : 05.04.2002

(51)Int.Cl. G06F 1/24

G06F 15/78

H03K 17/22

(21)Application number : 2000-290404

(71)Applicant : NIPPON COLUMBIA CO LTD

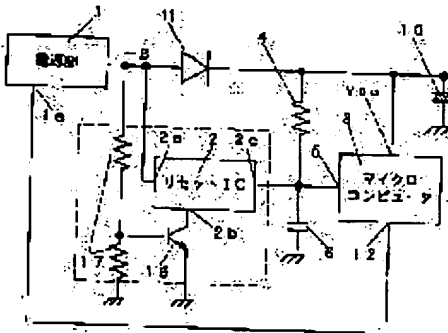
(22)Date of filing : 25.09.2000

(72)Inventor : WAKABAYASHI YASUO

(54) RESET CIRCUIT FOR MICROCOMPUTER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the change with time until reaching a threshold voltage to output a reset signal and to enable the integration of reset circuit in a reset circuit for outputting the reset signal to a microcomputer only when turning on a power source.



SOLUTION: This device is provided with a power source part, a diode for back flow prevention connected to the power source part, a microcomputer with built-in memory connected with the power source part through the diode for back flow prevention, a capacitor, which is connected to the power source part, to play the role of power source in the backup operation of the microcomputer, a reset circuit, which has a threshold voltage value lower than the voltage value of the power source part, for resetting the microcomputer, and a switch circuit, which is serially connected to the ground terminal of the reset circuit, to be turned on with a voltage value lower than the voltage value of the power source part and higher than the threshold voltage value of

the reset circuit.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号
特開2002-99358
(P2002-99358A)

(43)公開日 平成14年4月5日(2002.4.5)

(51) Int.Cl. ¹	識別記号	F I	テマコード [*] (参考)
G 0 6 F 1/24		G 0 6 F 15/78	5 1 0 P 5 B 0 5 4
15/78	5 1 0	H 0 3 K 17/22	D 5 B 0 6 2
H 0 3 K 17/22		G 0 6 F 1/00	3 5 0 B 5 J 0 5 5

審査請求 未請求 請求項の数1 OL (全 6 頁)

(21)出願番号 特願2000-290404(P2000-290404)

(22)出願日 平成12年9月25日(2000.9.25)

(71)出願人 000004167

日本コロムビア株式会社

東京都港区赤坂4丁目14番14号

(72)発明者 若林 康雄

神奈川県川崎市川崎区港町5番1号 日本
コロムビア株式会社川崎工場内

(74) 代理人 100074550

弁理士 林 實

Fターム(参考) 5B054 BB01 CC01 DD13

5B062 AAO8 HH03 HH08

5J055 AX57 BX41 CX27 DX04 DX10

EY01 EY10 EY12 EY17 EZ10

EZ39 EZ40 EZ66 FX05 FX08

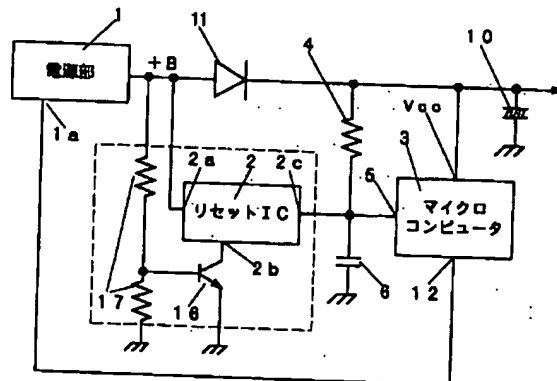
FX12 FX32 FX38 GX01

(54) 【発明の名称】 マイクロコンピュータのリセット回路

(57) 【要約】

【課題】 電源の立ち上がり時だけマイクロコンピュータにリセット信号を出力するリセット回路において、リセット信号を出力するスレッシュホールド電圧に到達するまでの時間変化を低減すること、及びリセット回路の集積化を可能にすること。

【解決手段】 電源部と、電源部に接続された逆流防止用ダイオードと、逆流防止用ダイオードを介して電源部と接続されるメモリー内蔵のマイクロコンピュータと、電源部に接続されマイクロコンピュータのバックアップ動作時に電源の役割をなすコンデンサと、電源部の電圧値より低い電圧値のスレッシュホールド電圧値を有しマイクロコンピュータをリセットするリセット回路と、リセット回路のグランド端子に直列に接続され電源部の電圧値より低くリセット回路のスレッシュホールド電圧値より高い電圧値でオンするスイッチ回路を備えた。



【特許請求の範囲】

【請求項1】 電源部と、該電源部に接続された逆流防止用ダイオードと、該逆流防止用ダイオードを介して前記電源部と接続されるメモリー内蔵のマイクロコンピュータと、前記電源部に接続され前記マイクロコンピュータのバックアップ動作時に電源の役割をなすコンデンサと、前記電源部の電圧値より低い電圧値のスレッシュホールド電圧値を有し前記マイクロコンピュータをリセットするリセット回路と、該リセット回路のグランド端子に直列に接続され前記電源部の電圧値より低い前記リセット回路のスレッシュホールド電圧値より高い電圧値でオンするスイッチ回路を備えたことを特徴とするマイクロコンピュータのリセット回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリー内蔵のマイクロコンピュータのリセット回路に関する。

【0002】

【従来の技術】 マイクロコンピュータのリセット回路の従来例を図4及び図5に示す。図4は、マイクロコンピュータのリセット回路の例を示し、図5は、図4の電源部における電源電圧の時間変化とリセットICの出力電圧の時間変化を示し、縦軸が電圧、横軸が時間を表す。図4及び図5において、電源部1の出力端子+Bは、リセットIC2の入力端子2a、マイクロコンピュータ3の電源入力端子Vcc、プルアップ抵抗4に接続されている。

【0003】 リセットIC2の2bはグランド端子、2cは出力端子で、出力端子2cはプルアップ抵抗4、リセット時間調整用コンデンサ6及びマイクロコンピュータ3のリセット信号入力端子5に接続されている。

【0004】 リセットIC2は、1のスレッシュホールド電圧値9を有しており、図5に示すように、電源電圧の立ち上がり時にリセットIC2の入力電圧値がスレッシュホールド電圧値を越えたことを検出するとリセットIC2の出力端子2cの端子電圧がロー（L）になってリセット信号を出力する。

【0005】 リセットIC2の出力端子2cの端子電圧がロー（L）になると、マイクロコンピュータ3のリセット信号入力端子5の端子電圧がロー（L）になってマイクロコンピュータ3をリセットする。

【0006】 その後、リセットIC2の出力端子2cの端子電圧はハイ（H）になりマイクロコンピュータ3のリセットを解除し、マイクロコンピュータ3が動作を開始するようになっている。

【0007】 このようなリセットIC2は、電源電圧の立ち下がり時にも同様に電源電圧値がリセットIC2のスレッシュホールド電圧値9より低下したとき、リセットIC2の出力端子2cの端子電圧がロー（L）になってリセット信号を出力し、マイクロコンピュータ3をリ

セットしてマイクロコンピュータ3の電源入力端子Vccが動作電圧以下になって発生するマイクロコンピュータ3の誤動作を防止している。

【0008】 図6は、図4の回路においてマイクロコンピュータ3の電源入力端子Vccに電源電圧保持用の大容量のコンデンサ10を接続し、コンデンサ10に蓄積された充電電荷が電源部1へ逆流しないように逆流防止用のダイオード11を接続した回路図である。このような回路は、マイクロコンピュータ3の電源入力端子Vccの電源電圧を保持してマイクロコンピュータ3に内蔵されたメモリーに記憶されたデータを保持し、次に電源オンされるまでメモリーに記憶されたデータを保持する場合に用いられるが、リセットIC2を用いたために以下に記すような不具合を生じる。

【0009】 図6の回路において、電源オン時にコンデンサ10を充電し、電源オフ時には充電された電荷を放電することによりマイクロコンピュータ3の電源入力端子Vccの電圧が保持される。

【0010】 電源部1がオフされると、電源部1から電源がオフされたことを検出して出力する出力部1aからの検出信号がマイクロコンピュータ3の電源オフ検出力端子12に輸入され、マイクロコンピュータ3の動作モードは低消費電力モードに切り替わり、マイクロコンピュータ3の消費電力を少なくしてコンデンサ10の電荷が長持ちするようにしている。

【0011】 マイクロコンピュータ3の動作モードを低消費電力モードから通常の動作モードに戻すには、マイクロコンピュータ3のリセット信号入力端子5にリセット信号を入力することにより行う。

【0012】 ところが、前述のリセットIC2を用いた場合、電源部1のオフ時にマイクロコンピュータ3の動作モードが低消費電力モードに切り替わっても、リセットIC2からリセット信号がマイクロコンピュータ3のリセット入力端子5に輸入されてしまう。

【0013】 そのため、マイクロコンピュータ3の動作モードが通常の動作モードに戻ってしまい、マイクロコンピュータ3の電源入力端子Vccに接続したコンデンサ10の電荷を早く消費してしまうので、マイクロコンピュータ3の電源電圧を保持できなくなるとともに、内蔵するメモリーに記憶したデータを保持することができなくなってしまう。

【0014】 電源部1のオフ時にマイクロコンピュータ3が内蔵するメモリのデータを保持できるようにするためにコンデンサ10をマイクロコンピュータ3の電源入力端子Vccに接続して電圧を保持する場合のリセット回路は、電源部1のオン時にはリセット回路の出力端子からリセット信号を出力するが、電源部1のオフ時にはリセット信号を出力しないようにする必要がある。

【0015】 図7は、上述の目的のために従来から用いられているリセット回路を示す図である。図7におい

て、電源部1に接続したコンデンサ13は、分圧抵抗21を介してトランジスタ14のベースに接続される。トランジスタ14のコレクタはプルアップ抵抗4及びリセット時間調整用コンデンサ6に接続されてマイクロコンピュータ3のリセット信号入力端子5に接続され、トランジスタ14のエミッタはアースに接続される。

【0016】コンデンサ13は、電源部1のオフ時に電荷を放電するためのダイオード15に接続される。

【0017】電源部1に接続したコンデンサ13は、電源の立ち上がり時にコンデンサ13の充電電流によってトランジスタ14のベースに電流を流し、トランジスタ14がオンになってリセット信号を出力するが、電源部1のオフ時には、ダイオード15によってコンデンサ13の電荷を放電するようになっている。そのため、トランジスタ14がオフになってリセット信号を出力しない。

【0018】

【発明が解決しようとする課題】 図7のリセット回路で電源をオンするときだけリセット信号を出力するためには、電源をオンしてからリセット信号を出力するまでの時間を設定するコンデンサを用いる必要がある。コンデンサの容量はバラツキが大きいので、電源をオンしてからスレッシュホールド電圧値に達するまでの時間が変化してしまう課題があった。また、上述のコンデンサを用いるためにリセット回路を集積（IC）化することが困難であった。

【0019】本発明は、電源をオンしてからリセット信号を出力するまでの時間を設定するコンデンサを用いなくて、リセットICと抵抗とトランジスタの組み合わせにより、電源をオンしてからスレッシュホールド電圧値に達するまでの時間変化を低減するリセット回路を得ること、及び、リセット回路の集積（IC）化を可能にすることを目的とする。

【0020】

【課題を解決するための手段】本発明の請求項1に記載のマイクロコンピュータのリセット回路によれば、電源部と、該電源部に接続された逆流防止用ダイオードと、該逆流防止用ダイオードを介して前記電源部と接続されるメモリ内蔵のマイクロコンピュータと、前記電源部に接続され前記マイクロコンピュータのバックアップ動作時に電源の役割をなすコンデンサと、前記電源部の電圧値より低い電圧値のスレッシュホールド電圧値を有し前記マイクロコンピュータをリセットするリセット回路と、該リセット回路のグランド端子に直列に接続され前記電源部の電圧値より低く前記リセット回路のスレッシュホールド電圧値より高い電圧値でオンするスイッチ回路を備えたことを特徴としている。

【0021】

【発明の実施の形態】本発明のマイクロコンピュータのリセット回路の一実施例について、図1及び図2を用い

て説明する。図1は本実施例の回路図、図2は図1の回路における電源電圧の時間変化とリセットICの出力電圧の時間変化を示し、縦軸は電源電圧、横軸は時間を表す。

【0022】図1において、1は電源部、2はリセットIC、3はメモリ内蔵のマイクロコンピュータ、4はプルアップ抵抗、6はリセット時間調整用コンデンサ、10はマイクロコンピュータの電源電圧保持用コンデンサ、11は電源電圧保持用コンデンサの充電電荷逆流防止用ダイオード、16はスイッチング用トランジスタ、17は電源電圧の分圧抵抗である。

【0023】電源部1において、+Bは出力端子、1aは電源がオフされたことを検出して検出信号を出力する出力端子である。

【0024】メモリ内蔵のマイクロコンピュータ3において、Vccは電源電圧入力端子、5はリセット信号入力端子、12は電源部1がオフしたときの検出信号が入力する入力端子である。

【0025】リセットIC2において、2aは電源部1の電源電圧を入力する入力端子、2bはグランド端子、2cはリセット信号を出力する出力端子である。

【0026】電源部1がオンされると、マイクロコンピュータ3の電源電圧入力端子Vccに充電電荷逆流防止用ダイオード11を経由して出力端子+Bから電源電圧が供給される。マイクロコンピュータ3電源電圧入力端子Vccに電源電圧が供給されると、マイクロコンピュータ3のバックアップ動作時に補助電源の役割をする電源電圧保持用コンデンサ10にも電源電圧が供給され充電される。

【0027】スイッチング用トランジスタ16のコレクタはリセットIC2のグランド端子2bに接続され、エミッタはアースに接続される。

【0028】そして、スイッチング用トランジスタ16のベースには、電源部1の電源電圧を分圧する分圧抵抗17が接続され、図2に示すように、リセットIC2のスレッシュホールド電圧値9よりも高い電圧値19でスイッチング用トランジスタ16がオンするように分圧抵抗17の抵抗値が設定される。

【0029】したがって、スイッチング用トランジスタ16がオンしてリセットIC2のグランド端子2bがアースに導通したとき、リセットIC2の出力端子2cからリセット信号が出力され、図2のリセットIC2の出力端子電圧8で示すように、出力端子2cの端子電圧がロー（L）になる。

【0030】出力端子2cの端子電圧がロー（L）になると、マイクロコンピュータ3のリセット入力端子5の端子電圧がロー（L）になってマイクロコンピュータ3をリセットする。

【0031】その後、リセットIC2の出力端子2cの端子電圧はハイ（H）になりマイクロコンピュータ3の

リセットを解除し、マイクロコンピュータ 3 が動作を開始する。

【0032】電源部 1 がオフされると、電源電圧の立ち下がり時にスイッチング用トランジスタ 16 がリセット IC 2 のスレッシュホールド電圧値より高い電圧値でオフになり、リセット IC 2 のグランド端子 2b がアースから切り離されて、リセット IC 2 の出力端子 2c からリセット信号が出力されない。

【0033】また、電源部 1 がオフされると、出力端子 1a から電源がオフされた検出信号がマイクロコンピュータ 3 の入力端子 12 に出力されてマイクロコンピュータ 3 の動作モードが低消費電力モードに切り替わり、マイクロコンピュータの電源電圧入力端子 Vcc に、図 2 の Vcc の端子電圧 18（一点鎖線）に示すように、バックアップ電圧が電源電圧保持用コンデンサ 10 から供給される。

【0034】したがって、電源部 1 をオフにしても、マイクロコンピュータ 3 が内蔵するメモリに記憶したデータを保持することができる。本実施例によれば、スイッチング用トランジスタ 16 のスレッシュホールド電圧値 19 は、分圧抵抗 17 の抵抗比によって決められるので、スレッシュホールド電圧値に達するまでの時間のバラツキを少なくすることができる。

【0035】そして、リセット IC 2 とスイッチング用トランジスタ 16 と分圧抵抗 17 によって構成される図 1 の破線で囲まれた回路を集積（IC）化することができるので、回路構成が簡単になり、電源部 1 がオンしたときだけリセット信号を出力するリセット IC を得ることができる。

【0036】本発明の他の実施例の回路構成を図 3 に示す。図 3 は、図 1 の回路においてスイッチング用トランジスタ 16 のベースと分圧抵抗 17 との間にコンパレータ 20 を用いた回路図である。

【0037】本実施例は、コンパレータ 20 の基準電圧を電源電圧とし、分圧抵抗 17 によって得られる比較電圧が予め設定された電圧を超えるとコンパレータ 20 の出力端子がハイ（H）になってスイッチング用トランジスタ 16 をオンしてリセット IC 2 のグランド端子 2b がアースに導通され、リセット IC 2 の出力端子 2c からリセット信号が出力される。

【0038】本実施例では、スイッチング用トランジスタ 16 の温度変化によって生じるベースとエミッタ間の電圧の変化でスイッチングする電圧が変化し、スレッシュホールド電圧値が変動することをコンパレータ 20 によって防止している。

【0039】リセット IC 2 とスイッチング用トランジスタ 16 と分圧抵抗 17 とコンパレータ 20 によって構成される図 3 の破線で囲まれた回路は集積（IC）化することができるので、回路構成が簡単になるとともに、スレッシュホールド電圧値が温度ドリフトの影響をほと

んど受けずに電源部 1 がオンしたときだけリセット信号を出力するリセット IC を得ることができる。

【0040】

【発明の効果】本発明によれば、電源をオンしたときにリセット信号を出力することができ、リセット信号のスレッシュホールド電圧値に達するまでの時間の変動を低減することをができる。また、コンデンサを用いていないので、容易に集積（IC）化することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例を示すマイクロコンピュータのリセット回路図である。

【図 2】図 1 のリセット回路における電源電圧の時間変化とリセット IC の出力電圧の時間変化を示す図である。

【図 3】本発明の他の実施例を示すマイクロコンピュータのリセット回路図である。

【図 4】従来例を示すマイクロコンピュータのリセット回路図である。

【図 5】図 4 における電源電圧の時間変化とリセット IC の出力電圧の時間変化を示す図である。

【図 6】図 4 にマイクロコンピュータのバックアップ電源回路を加えた回路図である。

【図 7】従来から用いられているマイクロコンピュータのリセット回路図である。

【符号の説明】

1	電源部
1 a	出力部
+B	出力端子
2	リセット IC
2 a	入力端子
2 b	グランド端子
2 c	出力端子
3	マイクロコンピュータ
Vcc	電源入力端子
4	プルアップ抵抗
5	リセット信号入力端子
6	リセット時間調節用コンデンサ
8	リセット IC の出力端子電圧
9	リセット IC のスレッシュホールド電圧値
10	コンデンサ
11	逆流防止用ダイオード
12	電源オフ検出入力端子
13	コンデンサ
14	トランジスタ
15	ダイオード
16	スイッチング用トランジスタ
17	分圧抵抗
18	Vcc の端子電圧値
19	トランジスタ 16 のスレッシュホールド電圧値

